

(19) KOREAN INTELLECTUAL PROPERTY OFFICE

KOREAN PATENT ABSTRACTS

(11)Publication number: 1020000046960 A
 (43)Date of publication of application: 25.07.2000

(21)Application number: 1019980063699
 (22)Date of filing: 31.12.1998

(71)Applicant: HYUNDAI ELECTRONICS
 IND. CO., LTD.
 (72)Inventor: HWANG, JUN

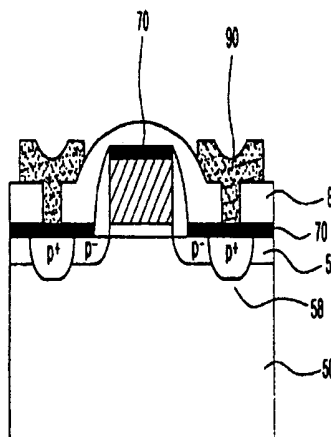
(51)Int. Cl H01L 29/772

(54) FABRICATION METHOD OF TRANSISTOR OF SEMICONDUCTOR DEVICE

(57) Abstract:

PURPOSE: A fabrication method of transistor of a semiconductor device is provided to depress short channel effect by forming a shallow contact source/drainage without further special process and increase the yield from the reduction of process.

CONSTITUTION: A fabrication method of transistor of a semiconductor device comprises; a gate electrode(42) is formed on the substrate(10) and injecting p-LDD ion; a spacer(60) is formed on the side of the gate electrode(42), a silicide layer(70) are formed on the upper gate electrode(42) and upper of the p-LDD ion injected, interlayer insulating film(80) are formed on the front of the resulting and forming a source/drainage contact(50), p type impurity(54) are strongly injected on the source/drainage contact(50).



COPYRIGHT 2000 KIPO

Legal Status

Date of request for an examination (00000000)
 Notification date of refusal decision (00000000)
 Final disposal of an application (withdrawal)
 Date of final disposal of an application (20040720)
 Patent registration number ()
 Date of registration (00000000)
 Number of opposition against the grant of a patent ()
 Date of opposition against the grant of a patent (00000000)
 Number of trial against decision to refuse ()
 Date of requesting trial against decision to refuse ()

공개특허특2000-0046960

(19)대한민국특허청(KR)
(12) 공개특허공보(A)(51) Int. Cl. ⁶
H01L 29/772(11) 공개번호 특2000-0046960
(43) 공개일자 2000년07월25일(21) 출원번호 10-1998-0063699
(22) 출원일자 1998년12월31일(71) 출원인 현대전자산업 주식회사 김영환
경기도 이천시 부발읍 아미리 산 136-1
(72) 발명자 황준
충청북도 진천군 진천읍 신정리 장산아파트 1207호
(74) 대리인 박대진
이은경
정은섭

심사청구 : 없음

(54) 반도체장치의 트랜지스터 제조방법

요약

본 발명은 특수한 공정의 추가 없이 얇은 접합의 소오스와 드레인을 형성하여 쇼트 채널 효과를 억제할 뿐만 아니라 제조공정의 단축으로 제조수율을 향상시킬 수 있도록 한 반도체장치의 트랜지스터 제조방법에 관한 것으로, 기판(10)위로 게이트전극(42)을 형성한 후 p-LDD 이온주입하는 단계와, 게이트전극(42) 측벽에 스페이서(60)를 형성하는 단계와, 게이트전극(42) 상부와 p-LDD 이온주입된 상부에 살리사이드층(70)을 형성하는 단계와, 결과물 전면에 층간절연막(80)을 형성한 후 소오스/드레인 콘택을 형성하는 단계와, 콘택을 통해 p+ 이온주입하여 p+ 접합층을 형성하는 단계를 포함하여 이루어져 p+ 접합층을 형성하기 위한 이온주입 마스크 패턴없이 소오스/드레인 영역에 콘택을 형성한 후 보론을 도핑하여 형성함으로써 소오스/드레인 영역과 폴리실리콘 패드와의 접촉저항을 줄일 수 있도록 하여 간단한 제조공정으로 접촉저항을 줄일 수 있을 뿐만 아니라 제조수율의 향상 및 제조단가를 줄일 수 있다는 이점이 있다

대표도

도8

명세서

도면의 간단한 설명

도 1 내지 도 4는 종래의 LDD구조의 트랜지스터 제조방법을 설명하기 위한 LDD 구조를 갖는 트랜지스터 제조공정을 단계적으로 나타낸 단면도들이다.

도 5 내지 도 8은 본 발명에 의한 얇은 접합 구조의 트랜지스터 제조방법을 설명하기 위한 트랜지스터 제조공정을 순차적으로 도시한 단면도들이다.

- 도면의 주요부분에 대한 부호의 설명 -

10 : 기판 42 : 게이트전극
50 : 소오스/드레인영역 52 : p- 접합층
54 : p+ 접합층 60 : 스페이서
70 : 살리사이드층 80 : 층간절연막
90 : 금속 패턴

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야 종래기술

본 발명은 반도체장치의 트랜지스터 제조방법에 관한 것으로서, 보다 상세하게는 특수한 공정의 추가 없이 얇은 접합의 소오스와 드레인을 형성하여 쇼트 채널 효과를 억제할 뿐만 아니라 제조공정의 단축으로 제조수율을 향상시킬 수 있도록 한 반도체장치의 트랜지스터 제조방법에 관한 것이다.

전계효과 트랜지스터(Field-Effect Transistor; FET)라 함은 다수 캐리어가 반도체 표면을 따라서 드리프트 하는 것을 게이트 전계에 의해 제어하는 방식의 트랜지스터를 말하는 것으로서 소수캐리어의 주입이 없으므로 축적효과에 의한 응답 속도의 저하가 없고, 잡음이 적은 장점이 있다. 전계효과 트랜지스터에는 게이트의 구조에 의해 접합형 전계효과 트랜지스터(Junction Field-Effect Transistor; JFET)와 쇼트키 장벽 게이트형 및 절연 게이트형 전계효과 트랜지스터(Insulator Gate Field Effect Transistor; IGFET)가 있다.

MOS트랜지스터의 경우에는 쇼트 채널화와 함께 핫캐리어에 의한 소자의 특성 저하가 심화되어 소자의 동작 전압을 그만큼 낮게 설정하게 되었으며 소자의 드레인 구조도 n^+ 농도의 드레인 구조의 주위를 저농도로 감싸준 DDD(Double Diffused Drain)구조와 드레인과 채널과의 연결 부위의 농도를 낮추어 준 LDD(Lightly Doped Drain)구조로 개량되었다.

도 1 내지 도 4는 종래의 LDD구조의 트랜지스터 제조 방법을 설명하기 위한 LDD 구조를 갖는 트랜지스터의 게이트 형성공정을 단계적으로 나타낸 단면도들이다.

먼저, 도 1과 같이 반도체기판(10) 위에 소자간 격리를 위한 필드산화막(20)을 형성하고 게이트산화막(30)과 게이트폴리막(40)을 차례대로 증착한다.

그런다음, 도 2와 같이 도 1에서 증착된 게이트폴리막(40)과 게이트산화막(30)을 마스크를 통해 이방성식각하여 게이트전극(42)을 형성한다.

그 다음은, 도 3과 같이 소오스/드레인영역(50)이 형성될 부분에 p형 불순물을 얇게 도핑시켜 p- 접합층(52)을 형성시킨다.

그런다음, 도 4와 같이 결과물 전면에 100 Å 정도 질화막을 증착하고 블랭킷 식각을 하여 게이트 전극(42) 양측면에 스페이서(60)를 형성한 후 p형 불순물을 강하게 주입시키고 열공정을 실시하여 소오스/드레인영역(50)의 p+ 접합층(54)을 형성한다.

위와 같이 반도체기판(10)에 게이트산화막(30), 게이트전극(42)을 형성하고 소오스/드레인영역(50)인 소오스/드레인이 형성될 채널영역 형성부분에 감광막 패턴을 형성하고 p- 이온주입을 실시하고, 그 후 스페이서(60)를 형성한 후 다시 p+이온주입을 실시한 후 열공정을 실시하여 LDD구조의 트랜지스터를 형성하게 된다.

위와 같은 LDD구조로도 점차적으로 고집적화 되어감에 따라 채널길이가 작아지게 되어 핫캐리어 효과 및 쇼트 채널 효과에 의한 트랜지스터의 특성저하가 발생된다는 문제점이 있다.

이러한 쇼트 채널 효과를 억제하기 위해 소오스/드레인의 얇은 접합화가 진행되고 있으나 얇은 접합 형성방법은 프로세스가 복잡하고, 특수공정이 추가되기 때문에 이러한 복잡한 프로세스에 의해 결함이 많이 발생하여 제조수율이 저하된다는 문제점이 있다.

또한, 위와 같이 p+ 접합층의 도판트로 사용되는 보론은 원자량이 11로써 가장 작은 불순물로 확산율이 매우빨라 이온주입되어 얇은 접합 형성자체가 매우어렵기 때문에 쇼트 채널 효과가 현저하게 나타나게 된다는 문제점이 있다.

발명이 이루고자하는 기술적 과제

본 발명은 상기와 같은 문제점을 해결하기 위해 창작된 것으로서, 본 발명의 목적은 특수한 공정의 추가 없이 얇은 접합의 소오스와 드레인을 형성하여 쇼트 채널 효과를 억제할 뿐만 아니라 제조공정의 단축으로 제조수율을 향상시킬 수 있도록 한 반도체장치의 트랜지스터 제조방법을 제공함에 있다.

발명의 구성 및 작용

상기와 같은 목적을 실현하기 위한 본 발명은 기판위로 게이트전극을 형성한 후 p- LDD 이온주입하는 단계와, 게이트전극 측벽에 스페이서를 형성하는 단계와, 게이트전극 상부와 p- LDD 이온주입된 상부에 살리사이드층을 형성하는 단계와, 결과물 전면에 층간절연막을 형성한 후 소오스/드레인 영역에 콘택을 형성하는 단계와, 콘택을 통해 p+ 이온주입하여 p+ 접합층을 형성하는 단계를 포함하여 이루어진 것을 특징으로 한다.

위에서 p- LDD 이온주입시 얇은 접합을 형성하기 위해 BF_2 와, BF_2 를 끌어당기고 기판의 결정구조를 파괴시켜 이온주입의 채널링을 방지하는 Ge를 순차적으로 주입한다.

또한, 살리사이드층은 균일한 면저항을 갖는 물질로 형성한다.

위와 같은 방법에 의한 본 발명의 작용을 설명하면 다음과 같다.

p- LDD 이온주입시 얇은 접합을 형성하기 위한 BF_2 , Ge를 순차적으로 주입하여 얇은 접합을 형성한 후, 스페이서를 형성하고 면저항 균일도가 우수한 살리사이드층을 형성한 후, 층간절연막을 형성하고 p+ 접합층이 형성될 영역에 콘택을 형성한 후 p+ 불순물을 강하게 주입하여 p+ 접합층을 형성하여 낮은 접촉저항을 갖는 얇은 접합의 소오스/드레인을 형성하게 된다.

이하, 본 발명의 바람직한 실시예를 첨부된 도면을 참조하여 설명한다. 또한 본 실시예는 본 발명의 권리범위를 한정하는 것은 아니고, 단지 예시로 제시된 것이며 종래 구성과 동일한 부분은 동일한 부호 및 명칭을 사용한다.

도 5 내지 도 8은 본 발명에 의한 얇은 접합 구조의 트랜지스터 제조방법을 설명하기 위한 트랜지스터 제조공정을 순차적으로 도시한 단면도들이다.

도 5와 같이 기판(10)위로 게이트전극(42)을 형성한 후 p- LDD 이온주입으로 BF_2 를 10 KeV의 에너지로 주입하고 소오스/드레인 영역(50)의 실리콘의 결정구조를 파괴하여 이온주입의 채널링을 방지하고 BF_2 를 끌어당기는 Ge를 60 KeV의 에너지와 $1 \times 10^{15} \sim 10 \times 10^{15}$ ions/ cm^2 로 주입하여 p- 접합층(52)의 얇은 접합을 형성한다.

그런다음, 도 6과 같이 게이트전극(42)의 측벽에 스페이서(60)를 형성한다.

그리고, 도 7과 같이 좁은 폭의 소오스/드레인영역(50) 상부와 게이트전극(42) 상부에 매우 균일한 면저항을 갖는 TiSi_2 , NiSi , CoSi_2 중 어느 하나로 살리사이드층(70)을 형성한다.

그런다음, 도 8과 같이 결과물 전면에 층간절연막(80)을 형성한 후 소오스/드레인 영역(50)에 콘택을 형성하고 강하게 보론을 도핑하여 p+ 접합층(54)을 형성한다. 이후 금속 패터를 형성하여 소오스/드레인 영역(50)과 금속 패터(90)과의 접촉저항을 낮출 수 있도록 한다.

발명의 효과

상기한 바와 같이 본 발명은 p+ 접합층을 형성하기 위한 이온주입 마스크 패턴없이 소오스/드레인 영역에 콘택을 형성한 후 보론을 도핑하여 형성함으로써 소오스/드레인 영역과 폴리실리콘 패드와의 접촉저항을 줄일 수 있도록 하여 간단한 제조공정으로 접촉저항을 줄일 수 있을 뿐만 아니라 제조수율의 향상 및 제조단가를 줄일 수 있다는 이점이 있다.

또한, 확산속도가 매우빠른 보론 도판트에 대해 쇼트 채널효과를 억제할 수 있어 p형 얇은 접합을 형성할 수 있어 고집적에 매우 용이하다는 이점이 있다.

(57)청구의 범위

청구항1

기판위로 게이트전극을 형성한 후 p- LDD 이온주입하는 단계와, 상기 게이트전극 측벽에 스페이서를 형성하는 단계와, 상기 게이트전극 상부와 p- LDD 이온주입된 상부에 살리사이드층을 형성하는 단계와, 상기 결과물 전면

에 층간절연막을 형성한 후 소오스/드레인 콘택을 형성하는 단계와, 소오스/드레인 콘택에 p형 불순물을 강하게 이온주입하는 단계를 포함하여 이루어진 것을 특징으로 하는 반도체장치의 트랜지스터 제조방법.

청구항2

제 1항에 있어서, 상기 이온주입 공정은 BF_3 를 10 KeV의 에너지로 주입하는 단계와, 60 KeV의 에너지와 $1 \times 10^{15} \sim 10 \times 10^{15} \text{ ions/cm}^2$ 로 Ge를 주입하는 단계를 포함하여 이루어진 것을 특징으로 하는 반도체장치의 트랜지스터 제조방법.

청구항3

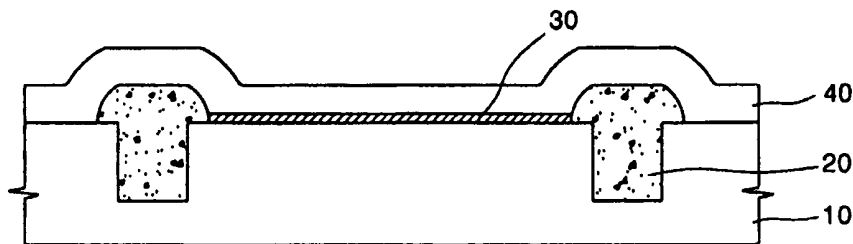
제 1항에 있어서, 상기 살리사이드층은 매우 균일한 면저항을 갖는 TiSi_2 , NiSi , CoSi_2 중 어느 하나인 것을 특징으로 하는 반도체장치의 트랜지스터 제조방법.

청구항4

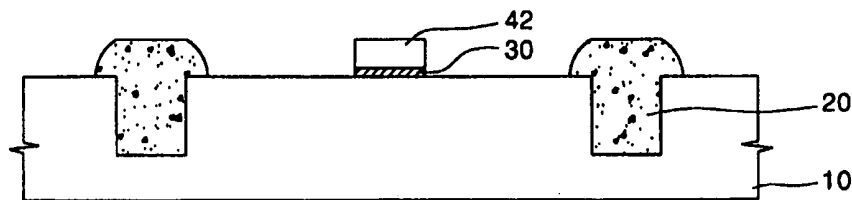
제 1항에 있어서, 상기 p형 불순물은 보론인 것을 특징으로 하는 반도체장치의 트랜지스터 제조방법.

도면

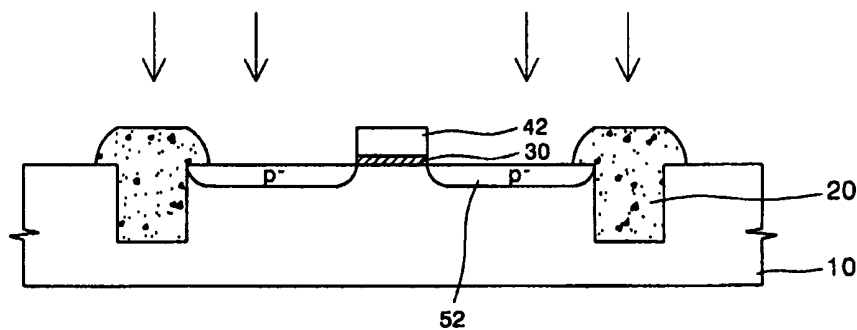
도면1



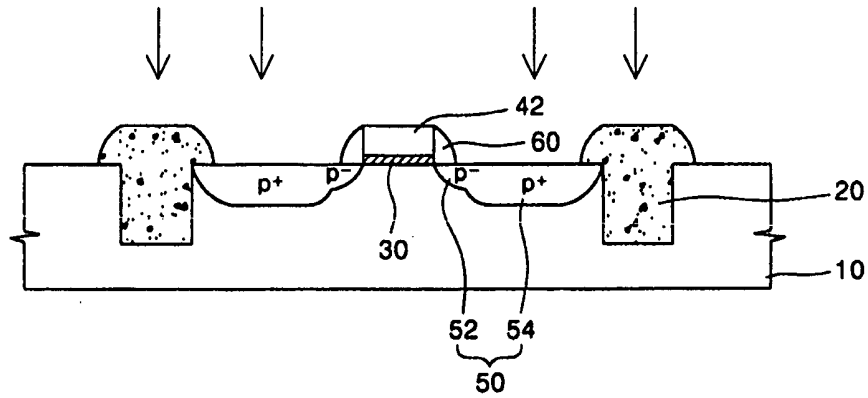
도면2



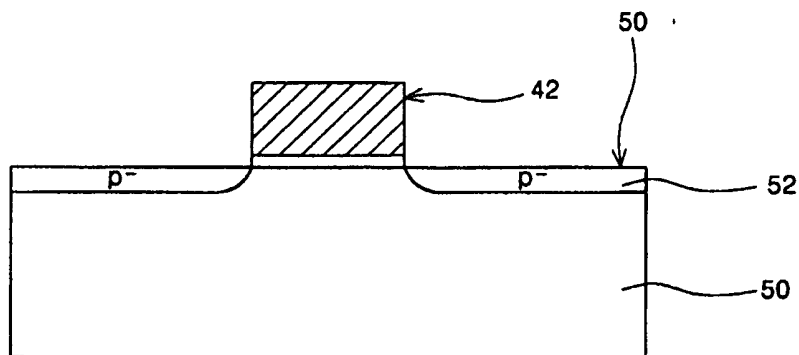
도면3



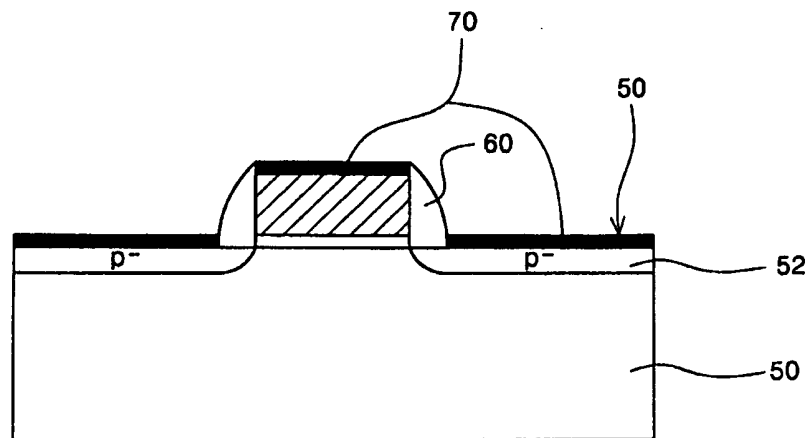
도면4



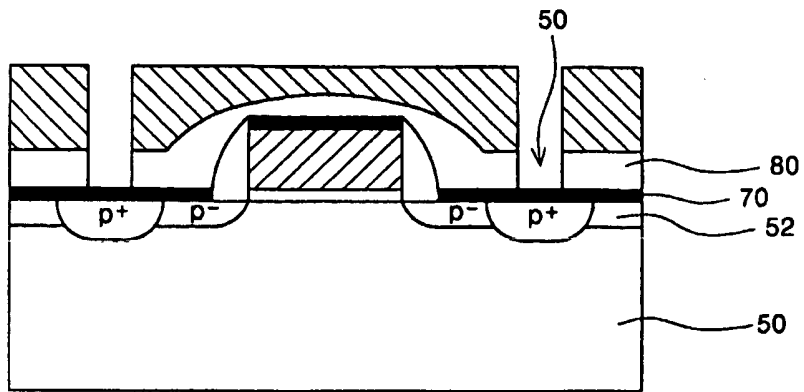
도면5



도면6



도면7



도면8

